

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-252482

⑫ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)10月19日

H 01 L 29/78

3 7 1

7514-5F

審査請求 未請求 発明の数 1 (全1頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑮ 特 願 昭62-88257

⑯ 出 願 昭62(1987)4月9日

⑰ 発 明 者 岩 佐 昇 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

不揮発性半導体記憶装置

## 2. 特許請求の範囲

酸化タンタル両面から酸化シリコン膜で挟んだ三層絶縁膜を浮遊ゲートと制御ゲート間のゲート絶縁膜として有する浮遊ゲートトンネル酸化膜型トランジスタを含むメモリセルを備えてなることを特徴とする不揮発性半導体記憶装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、電氣的に書き込み/消去可能な不揮発性半導体記憶装置E<sup>2</sup>PROMに関し、特に、浮遊ゲートトンネル酸化膜型トランジスタを含むメモリセルを備えた不揮発性半導体記憶装置に関する。

(従来の技術)

従来、この種のE<sup>2</sup>PROMは、図2図(a)、(b)に示すような構造をしているが、特に、浮遊ゲート11-制御ゲート7間の層間絶縁膜は、浮遊ゲート内に溜まっている電子を保持する為に、極めて良質の絶縁膜を必要とする。従来は、この良質の絶縁膜を形成する為、高温(-1150℃)ドライ酸化法によって、浮遊ゲート11を構成する第1のN型多結晶シリコン層を熱酸化することにより良質の酸化シリコン膜を得ていた。ところが、この高温熱処理法は、これより先にP型シリコン基板1上に形成したトンネル酸化膜10の良質を悪くし、特性を劣化させるという欠点を有しており、これに代わる手段が考えられている。現在、この方法の一つに、浮遊ゲート-制御ゲート間の絶縁膜としてSiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>-SiO<sub>2</sub>(以下ONOと記す)の三層絶縁膜を築く手段が挙げられる。

ところが、これら従来使われている絶縁膜では浮遊ゲート-制御ゲート間容量を、下の基板-フローティングゲート間容量に比較して若干大きく

特開昭63-252482(2)

できないので、トンネル酸化膜にフowler-Nordheim 型トンネリングを起こすのに必要な電界強度(約10MV/cm以上)をうる為に、制御ゲートには±20V以上の高電圧を印加する必要がある。

従って、 $E^2$  PROMセル周辺回路において、高耐圧構造トランジスタを設けたり又、寄生パスを避ける為のマスクレイアウト上の様々な工夫を必要とするのが現状である。

(発明が解決しようとする問題点)

上述した従来使われている多結晶シリコン層間絶縁膜(熱 $SiO_2$ やONO構造)は、何れにせよ、絶縁膜固有の比誘電率が小さい為に、 $E^2$  PROMの書き込み/消去を行なう際に要する制御ゲートへの印加電圧を20V以上にしなければならず、その為、前記電圧が印加される箇所のトランジスタを高耐圧構造にしたり、素子分離領域上の多結晶シリコン又はアルミニウム配線による基板表面の反転層による漏れ(即ち寄生パス)の発生を抑える為のレイアウト上の工夫を要する欠点を持つ

第1の $N^+$ 拡散層3Cを一對の電極として、第1のゲート絶縁膜4b、~~酸化シリコン膜5a~~、酸化タンタル膜5、酸化シリコン膜5bの3層絶縁膜を誘電体とするMOB容量素子が構成されているが、これは、昇圧回路に使用されるものである。

次に、この実施例の製造方法について説明する。

第3図(a)~(d)は本発明の一実施例の製造方法を説明するための工程順に配置した半導体チップの断面図である。

第3図(a)に示すように、P型シリコン基板1上に素子分離絶縁膜2によって区画された素子領域を形成し、 $E^2$  PROMのソース及びドレインとなる箇所、及び容量部の差板側の電極となる、第1の $N^+$ 拡散層3a, 3b, 3cを形成する。その後、酸化シリコンからなる第1のゲート絶縁膜4を形成し、第1の $N^+$ 拡散層3a上の第1のゲート絶縁膜4をウェットエッチングして選択的に除去して、新たに、トンネル酸化膜10を熱酸化法により形成し、浮遊ゲートとなる第1のN型多結晶シリコン層17を $E^2$  PROMセル部にパターンニング

している。

(問題点を解決するための手段)

本発明の不揮発性半導体記憶装置は、酸化タンタル膜を両面から酸化シリコン膜で挟んだ三層絶縁膜を浮遊ゲートと制御ゲート間のゲート絶縁膜として有する浮遊ゲートトンネル酸化膜型トランジスタを含むメモリセルを備えてなるものである。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の主要部を示す半導体チップの断面図である。

この実施例は酸化タンタル膜5を両面から酸化シリコン膜6a, 6cで挟んだ三層絶縁膜を浮遊ゲート11と制御ゲート7間のゲート絶縁膜として有する浮遊ゲートトンネル酸化膜型トランジスタを含むメモリセルを備えてなるものである。

なお、浮遊ゲートトンネル酸化膜型トランジスタの左側に第2のN型多結晶シリコン膜16b、

する。

次に、第3図(b)に示すように、タンタルをスパッタ法により全面に形成させ、パターニングすることにより $E^2$  PROMのフローティングゲート上及び容量部上にタンタルを積す。その後、 $\sim 500^\circ\text{C}$ のステーム雰囲気中で酸化することにより酸化タンタル膜5a, 5bに換え、 $\sim 800^\circ\text{C}$ の酸素雰囲気中で熱処理を加えることによって結晶化させ、比誘電率 $\epsilon_r \sim 220$ の膜を得る。そして、CVD法により、その上に第2のN型多結晶シリコン層17を形成させる。次にホトレジスト膜13a, 13b, 13cを設けたのち、第3図(c)に示すように $E^2$  PROMゲート電極及びコンデンサー部の多結晶シリコン/ $Ta_2O_5$ /多結晶シリコン層(コンデンサー部は多結晶シリコン層/酸化タンタル膜の二層構造)をRIEドライエッチングによりパターニングする。この際、酸化タンタル膜( $Ta_2O_5$ )のエッチングには $CHF_3$ ガスを用いると良い。その後、周辺部トランジスタのゲート電極をRIEにより形成する。

特開昭63-252482(3)

そして、次に、ステーム雰囲気中で800°Cの熱酸化により、制御ゲート、浮遊ゲート及び、周辺ゲート電極、容量部の各々の多結晶シリコン層の両面に酸化シリコン膜を形成させるが、この時、 $T_{SiO_2}$ /多結晶シリコンの界面において非常に酸化レートの高いδ<sub>1</sub>熱酸化膜6a、6b、6cが形成される。(第5図)。これによって、E<sup>2</sup>PROM部浮遊ゲート-制御ゲート間にはδ<sub>1</sub>O<sub>2</sub>/T<sub>SiO<sub>2</sub></sub>O<sub>2</sub>/δ<sub>1</sub>O<sub>2</sub>の三層構造が、コンデンサ部にはδ<sub>1</sub>O<sub>2</sub>/δ<sub>1</sub>O<sub>2</sub> (ゲート酸化時に形成) が形成される。

その後、周辺トランジスタのソース及びドレインとなる第2のN<sup>+</sup>拡散層12を形成し、第3図(a)に示すように、層間絶縁膜8をCVD法により形成して、以下従来と同様に、最終的に第1図(a)、(b)に示す構造を得る。

以上の方法で出来上がったE<sup>2</sup>PROMの単位面積当たりの容量を計算により見積ってみると、例えば、δ<sub>1</sub>O<sub>2</sub>/T<sub>SiO<sub>2</sub></sub>O<sub>2</sub>/δ<sub>1</sub>O<sub>2</sub>三層の各膜厚が、12nm/30nm/12nmである時、三層絶縁膜を誘電体とする制御ゲート-浮遊ゲート間容量C<sub>i</sub>は、第5図に示

す記号を用いて、

$$C_i = \frac{C_1 C_2 C_3}{C_1 C_2 + C_1 C_3 + C_2 C_3} = \frac{1.30 \times 10^{-14}}{1.30 + 1.30 + 1.30} \text{ (F/cm}^2\text{)}$$

$$= 4.20 \times 10^{-16} \text{ (F/cm}^2\text{)}$$

ただし、ε<sub>0</sub>は真空の誘電率(8.854×10<sup>-14</sup> F/cm)。同じ膜厚のONO構造δ<sub>1</sub>O<sub>2</sub>/δ<sub>1</sub>Si<sub>3</sub>N<sub>4</sub>/δ<sub>1</sub>O<sub>2</sub>(12nm/30nm/12nm)の場合の合成容量C<sub>n</sub>は、C<sub>n</sub>=1.0×10<sup>-14</sup> ε<sub>0</sub> (F/cm<sup>2</sup>)であるから、酸化シリコン膜を使う場合に比べて約1.3倍の容量が得られる。今、基板-浮遊ゲート間の絶縁膜の全容量C' (第5図における記号で、C<sub>1</sub>+C<sub>2</sub>+C<sub>3</sub>に相当)と合成容量C<sub>n</sub>の関係をC<sub>n</sub>/C'=1とすると、δ<sub>1</sub>O<sub>2</sub>/T<sub>SiO<sub>2</sub></sub>O<sub>2</sub>/δ<sub>1</sub>O<sub>2</sub>構造の時に必要となる寄与/消去電圧V<sub>0</sub>は、フローティングゲートの電位V<sub>F</sub>は同じであるから、

$$V_F = \frac{C_n}{C_n + C'} \cdot 20 = \frac{C_1}{C_1 + C'} \cdot V_0$$

ここで、ONO構造の時の寄与/消去電圧20Vとしている。この時、V<sub>0</sub>は約1.77Vとなり2.3V程下げることができる。この結果により高耐圧

構造のトランジスタを設けたり、寄生バスに対するレイアウト上の制約は緩和されることが判る。

酸化タンタル(T<sub>SiO<sub>2</sub></sub>O<sub>5</sub>)膜は比誘電率ε<sub>r</sub>が高い反面熱安定性が4.6eVと小さく酸化シリコン膜に比べ漏れ電圧が大きくなる欠点があるが、前述のような三層絶縁膜とすることにより、この欠点を克服することができる。そうしてこの酸化タンタル膜を両面から挟む酸化シリコン膜としては、製造方法の説明のところで述べたステーム雰囲気中で超えるシリコン/T<sub>SiO<sub>2</sub></sub>O<sub>5</sub>の界面反応により形成したものが特に好ましい。他の手段、例えば気相成長法で形成したものに比べピンホール等の欠陥が少ないからである。

また、E<sup>2</sup>PROMの通常使用される電圧は5.0Vであるが、E<sup>2</sup>PROMの書き込み/消去時に±20V程度まで昇圧する必要がある、通常同一チップ上に昇圧用回路を設けてあり、その中で容量を使っている。この容量の絶縁膜としても前述のδ<sub>1</sub>O<sub>2</sub>/T<sub>SiO<sub>2</sub></sub>O<sub>2</sub>/δ<sub>1</sub>O<sub>2</sub>の三層構造を使うことができる。

第4図(a)、(b)は本発明の一実施例の製造方法の他の例を説明するための工程順に配置した半導体チップの断面図である。

これは、先に説明した製造方法と同様に、T<sub>SiO<sub>2</sub></sub>O<sub>5</sub>をE<sup>2</sup>PROM及び容量部にパターンニングする。その後、E<sup>2</sup>PROMの制御ゲート及び周辺トランジスタのゲート電極として金属又は金属シリサイドを使い、本例ではMo(モリブデン)を使用した場合を示す。

第3図(a)の工程後、第4図(a)に示すように酸化タンタル膜5を形成したのちスパッタ法により厚さ10nmのシリコン膜15(多結晶でも非晶質でもよい)、Mo膜14を成膜し、次いで第4図(b)に示すように、E<sup>2</sup>PROM部のゲート電極、容量部及び周辺トランジスタのゲート電極を形成べくパターンニングをして、前述の製造方法の例と同様の条件でステーム酸化することにより、浮遊ゲート(多結晶シリコン)/T<sub>SiO<sub>2</sub></sub>O<sub>5</sub>の界面にδ<sub>1</sub>熱酸化膜8a形成されるが、本例では、制御ゲート(Mo)の下に形成した極薄のシリコン膜15を、

## 特開昭63-252482(4)

この酸化により全て  $S_1$  熱酸化膜に変えることにより  $S_1$  熱酸化膜/酸化タンタル膜/ $S_1$  熱酸化膜の三層構造を形成する。以下、先の例と同じく従来の方法により第1図と同様の構造を得る。  
〔発明の効果〕

以上説明したように本発明は、浮遊ゲート制御ゲート間層間絶縁膜として酸化シリコン膜/酸化タンタル膜( $T_{2x}O_3$ )/酸化シリコン膜の構造をとることにより、蓄積/消去電圧を下げることで、周辺回路トランジスタの一部を高耐圧構造にする必要がなく、また、寄生パスを避ける為のレイアウト上の細工を必要としなくなる効果がある。また、丹丘回路内の容量素子の絶縁膜として酸化タンタル膜/酸化シリコン膜の三層絶縁膜を使うことも可能で、単位面積当たりの容量が従来に比べて大きくなる為、容量素子の占有面積を低減できる効果もある。

## 4. 図面の簡単な説明

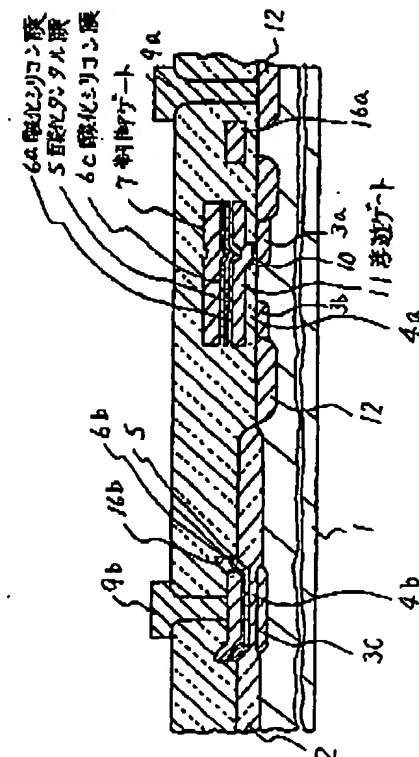
第1図は本発明の一実施例の主要部を示す半導

体チップの断面図、第2図(a)は従来例の一実施例の主要部を示す半導体チップの平面図、第2図(b)は第1図(a)のA-A'線断面図、第3図(a)~(d)は本発明の一実施例の製造方法例を説明するための工程順に配置した半導体チップの断面図、第4図(a)~(b)は本発明の一実施例の製造方法の他の例を説明するための工程順に配置した半導体チップの断面図、第5図は本発明の一実施例における浮遊ゲートトネル酸化膜型トランジスタの等価回路図である。

1…P型シリコン基板、2…素子分離絶縁膜、3…第1の $N^+$ 拡散層、4, 4a, 4b…第1のゲート絶縁膜、5, 5a, 5b…酸化タンタル膜、6a~6d…酸化シリコン膜、7…制御ゲート、8…層間絶縁膜、9… $\Delta\phi$ 電極、10…トネル酸化膜、11…浮遊ゲート、12…第2の $N^+$ 拡散層、13a, 13b, 13c…ホトレジスト膜、14… $M_0$ 膜、15… $M_0$ 膜、16a, 16b…第2の $N$ 型多結晶シリコン膜、17…第1の $N$ 型多結晶シリコン層、 $C_1$ …酸化シリコン膜6cによる容量、 $C_2$ …酸化タンタル膜5による容量、 $C_3$ …酸化シリコン膜6bによる容量、 $C_4$ …P型シリコン基板と第1のゲート絶縁膜による容量、 $C_5$ …ソース、ドレインとゲート間容量、 $C_6$ …P型シリコン基板と浮遊ゲート間容量、 $C_7$ … $S_1O_2/T_{2x}O_3/S_1O_2$ 三層絶縁膜の容量、 $C_8$ …トネル酸化膜と浮遊ゲート間容量、 $\epsilon_2$ …酸化シリコン膜の比誘電率、 $\epsilon_1$ …酸化タンタル膜の比誘電率。

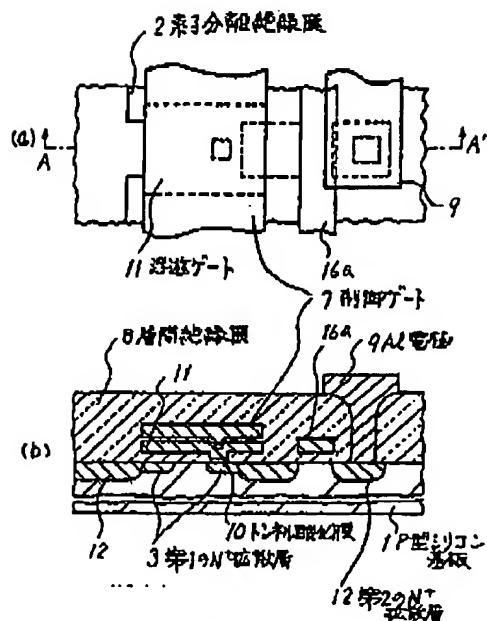
…酸化タンタル膜5による容量、 $C_3$ …酸化シリコン膜6bによる容量、 $C_4$ …P型シリコン基板と第1のゲート絶縁膜による容量、 $C_5$ …ソース、ドレインとゲート間容量、 $C_6$ …P型シリコン基板と浮遊ゲート間容量、 $C_7$ … $S_1O_2/T_{2x}O_3/S_1O_2$ 三層絶縁膜の容量、 $C_8$ …トネル酸化膜と浮遊ゲート間容量、 $\epsilon_2$ …酸化シリコン膜の比誘電率、 $\epsilon_1$ …酸化タンタル膜の比誘電率。

代理人 弁護士 内 原 晋

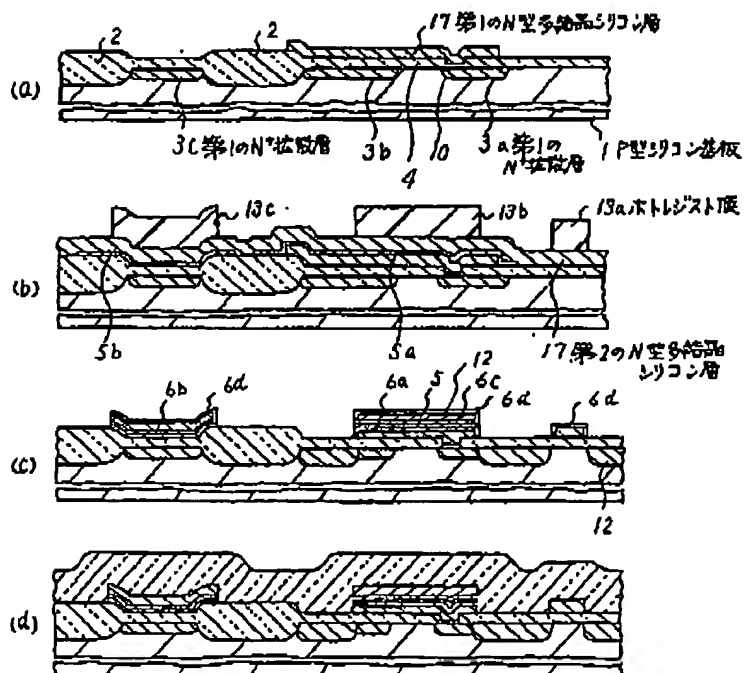


第1図

特開昭 63-252482 (5)

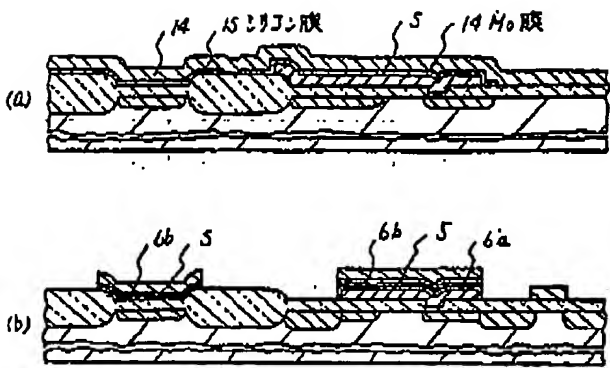


## 第 2 回

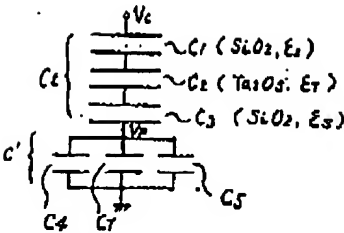


第 3 圖

特開昭63-252482 (6)



第 4 図



第 5 図